

日本国特許庁
JAPAN PATENT OFFICE

Y. Bito
11/25/03
Q78644
10fl

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年11月26日

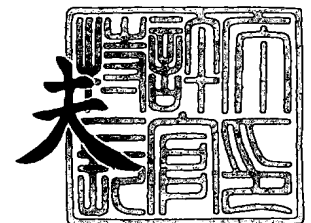
出願番号
Application Number: 特願2002-342691
[ST. 10/C]: [JP2002-342691]

出願人
Applicant(s): NEC化合物デバイス株式会社

2003年 8月19日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3067431

【書類名】 特許願

【整理番号】 22610026

【提出日】 平成14年11月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/338
H01L 29/812

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3
エヌイーシー化合物デバイス株式会社内

【氏名】 尾藤 康則

【特許出願人】

【識別番号】 302000346

【氏名又は名称】 エヌイーシー化合物デバイス株式会社

【代理人】

【識別番号】 100096105

【弁理士】

【氏名又は名称】 天野 広

【電話番号】 03(5484)2241

【手数料の表示】

【予納台帳番号】 038830

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0204090

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 接合型電界効果トランジスタ及びその製造方法

【特許請求の範囲】

【請求項 1】 第1の導電型のキャリアを含有するチャンネル層と、
前記チャンネル層上に形成され、前記第1の導電型のキャリアを含有するキャップ層と、
前記キャップ層上に形成されたオーミック電極と、
前記チャンネル層上に形成されたゲート電極と、
を少なくとも備える電界効果トランジスタにおいて、
前記キャップ層に形成されたりセスの表面に露出した半導体層上において再成長により形成された再成長半導体層であって、第2の導電型の不純物を含有する再成長半導体層を有し、
前記ゲート電極は前記再成長半導体層上に形成されていることを特徴とする電界効果トランジスタ。

【請求項 2】 前記リセスの底部はGaAs層であることを特徴とする請求項 1 に記載の電界効果トランジスタ。

【請求項 3】 第1の導電型のキャリアを含有するチャンネル層と、
前記チャンネル層上に形成され、前記第1の導電型のキャリアを含有するキャップ層と、
前記キャップ層上に形成されたオーミック電極と、
前記チャンネル層上に形成されたゲート電極と、
を少なくとも備える電界効果トランジスタにおいて、
前記キャップ層に形成されたりセスの表面に露出した半導体層に第二のリセスが形成されており、
前記半導体層上には、第2の導電型の不純物を含有し、再成長により形成された再成長半導体層が形成されており、
前記再成長半導体層の一部は前記第二のリセス内に埋め込まれており、
前記ゲート電極は前記再成長半導体層上に形成されていることを特徴とする電界効果トランジスタ。

【請求項 4】 前記第二のリセスの底部は GaAs 層であることを特徴とする請求項 3 に記載の電界効果トランジスタ。

【請求項 5】 前記再成長半導体層の一部は前記第二のリセス内に 5 nm 以上埋め込まれていることを特徴とする請求項 3 または 4 に記載の電界効果トランジスタ。

【請求項 6】 前記再成長半導体層は GaAs 層であることを特徴とする請求項 1 乃至 5 の何れか一項に記載の電界効果トランジスタ。

【請求項 7】 前記再成長半導体層は AlGaAs 層であることを特徴とする請求項 1 乃至 5 の何れか一項に記載の電界効果トランジスタ。

【請求項 8】 前記再成長半導体層は InGaP 層であることを特徴とする請求項 1 乃至 5 の何れか一項に記載の電界効果トランジスタ。

【請求項 9】 前記再成長半導体層は InGaAs 層であることを特徴とする請求項 1 乃至 5 の何れか一項に記載の電界効果トランジスタ。

【請求項 10】 前記キャップ層は GaAs 層であることを特徴とする請求項 1 乃至 9 の何れか一項に記載の電界効果トランジスタ。

【請求項 11】 前記キャップ層の直下にエッチングストップ層として AlGaAs 層を有していることを特徴とする請求項 1 乃至 10 の何れか一項に記載の電界効果トランジスタ。

【請求項 12】 前記キャップ層の直下にエッチングストップ層として InGaP 層を有していることを特徴とする請求項 1 乃至 10 の何れか一項に記載の電界効果トランジスタ。

【請求項 13】 第 1 の導電型のキャリアを含有するキャップ層を最上層に有する積層体を形成する第一の過程と、

前記キャップ層及びその直下の層を選択的に除去し、リセスを形成する第二の過程と、

前記リセスを含む全面にゲート酸化膜を形成する第三の過程と、

ゲート電極を形成する開口を前記ゲート酸化膜に形成する第四の過程と、

前記開口内に、第 2 の導電型のキャリアを含有する半導体層を再成長させる第五の過程と、

前記半導体層上にゲート電極を形成する第六の過程と、
前記キャップ層上にソース電極及びドレイン電極を形成する第七の過程と、
を備える電界効果トランジスタの形成方法。

【請求項 14】 第1の導電型のキャリアを含有するキャップ層を最上層に有する積層体を形成する第一の過程と、

前記キャップ層及びその直下の層を選択的に除去し、リセスを形成する第二の過程と、

前記リセスを含む全面にゲート酸化膜を形成する第三の過程と、

ゲート電極を形成する開口を前記ゲート酸化膜に形成する第四の過程と、

前記開口に露出している、前記積層体を構成する層を選択的にエッチングする第五の過程と、

前記開口内に、第2の導電型のキャリアを含有する半導体層を再成長させる第六の過程と、

前記半導体層上にゲート電極を形成する第七の過程と、

前記キャップ層上にソース電極及びドレイン電極を形成する第八の過程と、

を備える電界効果トランジスタの形成方法。

【請求項 15】 前記第五の過程における前記層のエッチングは5 nm以上行われることを特徴とする請求項 14 に記載の電界効果トランジスタの形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、接合ゲート型電界効果トランジスタ（Junction Gate Field Effect Transistor: J-FET）及びその製造方法に関し、特に、ゲート順方向立ち上がり電圧が高く、オン抵抗が低い接合ゲート型電界効果トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】

携帯電話装置に代表される携帯通信端末における無線信号の送信部に使用され

るパワーアンプ素子は、オン抵抗が低く、かつ、低電圧で動作することが要求される。

【0003】

このようなパワーアンプ素子の一つとしてGaAs電界効果トランジスタがある。

【0004】

図14は、GaAs電界効果トランジスタの一例としてのパワーヘテロ接合電界効果トランジスタの断面図である。

【0005】

図14に示したパワーヘテロ接合電界効果トランジスタは、GaAs基板1101と、GaAs基板1101上に形成されたアンドープAlGaAsバッファ層1102と、アンドープAlGaAsバッファ層1102上に形成されたSiドープAlGaAs層1103と、SiドープAlGaAs層1103上に形成されたアンドープAlGaAs層1104と、アンドープAlGaAs層1104上に形成されたアンドープInGaAs層1105と、アンドープInGaAs層1105上に形成されたアンドープAlGaAs層1106と、アンドープAlGaAs層1106上に形成されたSiドープAlGaAs層1107と、SiドープAlGaAs層1107上に形成されたアンドープAlGaAs層1108と、アンドープAlGaAs層1108上に形成されたアンドープGaAs層1111と、アンドープGaAs層1111上に部分的に形成されたSiドープAlGaAs層1112と、SiドープAlGaAs層1112上に形成されたSiドープGaAs層1113と、アンドープGaAs層1111に形成されたりセス内に部分的に埋め込まれ、アンドープAlGaAs層1108上に形成されたゲート電極1114と、SiドープGaAs層1113上に形成されたソース電極1115及びドレイン電極1116と、から構成されている。

【0006】

図14に示したパワーヘテロ接合電界効果トランジスタにおいては、ゲート電極1114はアンドープAlGaAs層1108に接触している。このことと、このパワーヘテロ接合電界効果トランジスタのゲート順方向立ち上がり電圧（V

F) が 0.7 V 程度しかないこととに起因して、動作時にゲート電極 1114 が順方向にターンオンしてしまい、ゲート電流が流れ出してしまうという問題があった。

【0007】

そこで、ゲート順方向立ち上がり電圧 (VF) を高めることを目的とした電界効果トランジスタが提案されている (例えば、非特許文献 1 参照)。

【0008】

図 15 はこの電界効果トランジスタの部分的な断面図である。

【0009】

この電界効果トランジスタは、基板 (図示せず) と、基板上に形成された Si ドープ AlGaAs 層 1201 と、Si ドープ AlGaAs 層 1201 上に形成されたアンドープ InGaAs 層 1202 と、アンドープ InGaAs 層 1202 上に形成された Si ドープ AlGaAs 層 1203 と、Si ドープ AlGaAs 層 1203 上に形成されたアンドープ AlGaAs 層 1204 と、アンドープ AlGaAs 層 1204 上に部分的に形成された Si ドープ GaAs 層 1205 と、Si ドープ GaAs 層 1205 に形成されたりセス内に形成された SiO₂ ゲート酸化膜 1206 と、SiO₂ ゲート酸化膜 1206 に形成されたりセス内に形成された C ドープ p⁺-GaAs 層 1207 と、C ドープ p⁺-GaAs 層 1207 を覆って形成されたゲート電極 1208 と、Si ドープ GaAs 層 1205 上に形成されたソース電極 1209 及びドレイン電極 1210 と、から構成されている。

【0010】

この電界効果トランジスタにおいては、p 型不純物を多量に含有させた半導体層である C ドープ p⁺-GaAs 層 1207 をゲート電極 1208 の直下に配置し、p+n 接合を形成し、チャンネル内の電子に対する実効的なショットキー障壁を高めている。この接合ゲート構造により、実効的なショットキー障壁は、p 型不純物を含有させた半導体のバンドギャップ程度に高められる。

【0011】

図 15 に示した電界効果トランジスタにおいては、p⁺-GaAs 層 1207

を用いているため、実効的なショットキー障壁は 1.4 eV となっており、図 14 に示したパワーヘテロ接合電界効果トランジスタにおけるショットキー障壁と比較して、約 0.4 V 大きくなっている。

【0012】

しかしながら、図 15 に示した電界効果トランジスタのゲート電流 1 mA/mm で定義したゲート順方向立ち上がり電圧 (V_F) は、実効的なショットキー障壁が約 0.4 V も増加しているにもかかわらず、 0.9 V と 0.2 V しか増加しなかった。

【0013】

これは、表面に露出させたアンドープ AlGaAs 層 1204 に対して、 $\text{Cドープ } p^+ \text{ GaAs}$ 層 1207 を選択再成長させたためである。

【0014】

アンドープ AlGaAs 層 1204 に含まれるアルミニウム (Al) は化学的に活性であるため、表面に露出すると酸素と反応して Al 酸化物を形成する。この Al 酸化物は除去することが困難であり、その Al 酸化物の上に選択エピタキシャル成長させた $\text{Cドープ } p^+ \text{ GaAs}$ 層 1207 には欠陥が生じて、ゲートリークが発生し、ゲート順方向立ち上がり電圧 (V_F) が低下した。

【0015】

図 15 に示した電界効果トランジスタの他に、デバイス作成時に p 型不純物を含有した半導体層を再度成長させる代わりに、エピタキシャルウェハを成長する際に、 p 型不純物を含有した半導体層も同時に成長させたエピタキシャルウェハを用いた接合ゲート型電界効果トランジスタが提案されている（例えば、非特許文献 2 参照）。

【0016】

図 16 はこの接合ゲート型電界効果トランジスタの断面図である。

【0017】

この接合ゲート型電界効果トランジスタは、 GaAs 基板 1301 と、 GaAs 基板 1301 上に形成されたバッファ層 1302 と、バッファ層 1302 上に形成された Siドープ AlGaAs 層 1303 と、 Siドープ AlGaAs

層1303上に形成されたアンドープAlGaAs層1304と、アンドープAlGaAs層1304上に形成されたアンドープInGaAs層1305と、アンドープInGaAs層1305上に形成されたアンドープAlGaAs層1306と、アンドープAlGaAs層1306上に形成されたSiドーパAlGaAs層1307と、SiドーパAlGaAs層1307上に形成されたアンドープAlGaAs層1308と、アンドープAlGaAs層1308上に形成されたアンドープGaAs層1309と、アンドープGaAs層1309上に部分的に形成されたCドーパp⁺-GaAs層1311と、Cドーパp⁺-GaAs層1311上に形成されたゲート電極1312と、アンドープGaAs層1309上に形成されたソース電極1313及びドレイン電極1314と、から構成されている。

【0018】

ゲート電極1312の周囲には、ゲート電極1312から一定距離離れて、イオン注入コンタクト領域1310が形成されている。

【0019】

図16に示した接合ゲート型電界効果トランジスタによれば、ゲート順方向立ち上がり電圧(V_F)は1.12Vであり、比較的高い値が得られている。

【0020】

【非特許文献1】

1998年、アイ・イー・イー・イー トランザクションズ オン エレクトロニクス デバイシーズ、第45巻、第6号、1183-1189頁 (IEEE transactions on Electron Devices, Vol. 45, No. 6)

【0021】

【非特許文献2】

1998年、イクステンディッド アブストラクト オブ ザ インターナショナル カンファレンス オン ソリッド ステート デバイシーズ アンド マテリアルズ、396-397頁 (Extended Abstract of the 1998 International Conference o

n Solid State Devices and Materials,
1998, pp. 396-397)

【0022】

【発明が解決しようとする課題】

しかしながら、図16に示した接合ゲート型電界効果トランジスタ素子には、オン抵抗が高いという問題があった。

【0023】

これは、n⁺イオン注入によって形成したコンタクト領域1310のキャリア濃度を高濃度にすることが困難であり、n型不純物を高濃度に含有させたSiドープGaAs層1113に対してオーミック電極1115、1116を接触させている図14のパワーヘテロ接合電界効果トランジスタと比較すると、コンタクト抵抗が高くなったためである。

【0024】

また、図16に示した接合ゲート型電界効果トランジスタ素子には、ゲート電極1312とイオン注入コンタクト領域1310との間のリセス領域1315のシート抵抗も高いという問題があった。

【0025】

これは、ゲート電極1312の直下の領域以外の領域においてCドープp⁺-GaAs層1311を除去した後、その除去により生じたりセス部における表面とチャネルとの間の距離が小さく、表面空乏層の影響により、シートキャリア濃度が低下するためである。

【0026】

特に、正のしきい値電圧を有するエンハンスメント型電界効果トランジスタにするためには、Cドープp⁺-GaAs層1311とチャネルとの距離を小さくする必要があるため、上述の半導体表面とチャネルとの間の距離はさらに小さな値となり、チャネル内のキャリアがほとんど枯渇した状態となる。

【0027】

これにより、単位面積当たりのシート抵抗は数千オームにもなるため、接合ゲート型電界効果トランジスタ素子のオン抵抗は高く、3V程度の低電圧で動作さ

せる携帯電話装置のパワーアンプ用電界効果トランジスタとして用いた場合、効率が低くなるといった問題があった。

【0028】

以上のように、従来のデバイス構造では、ゲート順方向立ち上がり電圧（VF）が高く、かつ、オン抵抗が低い接合ゲート型電界効果トランジスタを実現することは極めて困難であった。

【0029】

本発明はこのような問題点に鑑みてなされたものであり、ゲート順方向立ち上がり電圧が高く、かつ、オン抵抗が低い接合ゲート型電界効果トランジスタ及びその製造方法を提供することを目的とする。

【0030】

【課題を解決するための手段】

この目的を達成するため、本発明は、第1の導電型のキャリアを含有するチャネル層と、チャネル層上に形成され、第1の導電型のキャリアを含有するキャップ層と、キャップ層上に形成されたオーミック電極と、チャネル層上に形成されたゲート電極と、を少なくとも備える電界効果トランジスタにおいて、キャップ層に形成されたりセスの表面に露出した半導体層上において再成長により形成された再成長半導体層であって、第2の導電型の不純物を含有する再成長半導体層を有し、ゲート電極は再成長半導体層上に形成されていることを特徴とする電界効果トランジスタを提供する。

【0031】

リセスの底部は、例えば、GaAs層であることが望ましい。

【0032】

また、本発明は、第1の導電型のキャリアを含有するチャネル層と、チャネル層上に形成され、第1の導電型のキャリアを含有するキャップ層と、キャップ層上に形成されたオーミック電極と、チャネル層上に形成されたゲート電極と、を少なくとも備える電界効果トランジスタにおいて、キャップ層に形成されたりセスの表面に露出した半導体層に第二のリセスが形成されており、半導体層上には、第2の導電型の不純物を含有し、再成長により形成された再成長半導体層が形

成されており、再成長半導体層の一部は第二のリセス内に埋め込まれており、ゲート電極は再成長半導体層上に形成されていることを特徴とする電界効果トランジスタを提供する。

【0033】

第二のリセスの底部は、例えば、GaAs層であることが望ましい。

【0034】

再成長半導体層の一部は第二のリセス内に5nm以上埋め込まれていることが好ましい。

【0035】

再成長半導体層は、例えば、GaAs層、AlGaAs層、InGaP層またはInGaAs層として構成することが可能である。

【0036】

また、キャップ層は、例えば、GaAs層として構成することが可能である。

【0037】

キャップ層の直下には、エッチングストッパ層として、AlGaAs層またはInGaP層を配置することができる。

【0038】

本発明は、第1の導電型のキャリアを含有するキャップ層を最上層に有する積層体を形成する第一の過程と、キャップ層及びその直下の層を選択的に除去し、リセスを形成する第二の過程と、リセスを含む全面にゲート酸化膜を形成する第三の過程と、ゲート電極を形成する開口をゲート酸化膜に形成する第四の過程と、開口内に、第2の導電型のキャリアを含有する半導体層を再成長させる第五の過程と、半導体層上にゲート電極を形成する第六の過程と、キャップ層上にソース電極及びドレイン電極を形成する第七の過程と、を備える電界効果トランジスタの形成方法を提供する。

【0039】

さらに、本発明は、第1の導電型のキャリアを含有するキャップ層を最上層に有する積層体を形成する第一の過程と、キャップ層及びその直下の層を選択的に除去し、リセスを形成する第二の過程と、リセスを含む全面にゲート酸化膜を形

成する第三の過程と、ゲート電極を形成する開口をゲート酸化膜に形成する第四の過程と、開口に露出している、積層体を構成する層を選択的にエッチングする第五の過程と、開口内に、第2の導電型のキャリアを含有する半導体層を再成長させる第六の過程と、半導体層上にゲート電極を形成する第七の過程と、キャップ層上にソース電極及びドレイン電極を形成する第八の過程と、を備える電界効果トランジスタの形成方法を提供する。

【0040】

第五の過程における層のエッチングは5 nm以上行われることが好ましい。

【0041】

【発明の実施の形態】

(第一の実施形態)

図1は、本発明の第一の実施形態に係る接合ゲート型電界効果トランジスタ100の断面図である。

【0042】

本実施形態に係る接合ゲート型電界効果トランジスタ100は、半絶縁性GaAs基板101と、半絶縁性GaAs基板101上に形成されたアンドープAlGaAsバッファ層102と、アンドープAlGaAsバッファ層102上に形成されたSiドープAlGaAs電子供給層103と、SiドープAlGaAs電子供給層103上に形成されたアンドープAlGaAsスペーサ層104と、アンドープAlGaAsスペーサ層104上に形成されたアンドープInGaAsチャネル層105と、アンドープInGaAsチャネル層105上に形成されたアンドープAlGaAsスペーサ層106と、アンドープAlGaAsスペーサ層106上に形成されたSiドープAlGaAs電子供給層107と、SiドープAlGaAs電子供給層107上に形成されたアンドープAlGaAs層108と、アンドープAlGaAs層108上に形成されたアンドープGaAs層109と、アンドープGaAs層109上に部分的に形成されたSiドープAlGaAsワイドリセスストッパ層110と、SiドープAlGaAsワイドリセスストッパ層110上に形成されたSiドープGaAsキャップ層111と、SiドープAlGaAsワイドリセスストッパ層110及びSiドープGaA

s キャップ層 111 に形成されたりセス内において、アンドープ GaAs 層 109 上に部分的に形成された C ドープ p⁺-GaAs 層 112 と、C ドープ p⁺-GaAs 層 112 上に形成されたゲート電極 114 と、ゲート電極 114 の周囲に形成された二酸化シリコン (SiO₂) からなるゲート酸化膜 113 と、Si ドープ GaAs キャップ層 111 上に形成されたソース電極 115 及びドレイン電極 116 と、から構成されている。

【0043】

本実施形態に係る接合ゲート型電界効果トランジスタ 100 は、オーミック電極として構成されているソース電極 115 及びドレイン電極 116 が接触する半導体キャップ層 (Si ドープ GaAs キャップ層) 111 を有している。その半導体キャップ層 111 を部分的に除去することによりワイドリセス部が形成されており、そのワイドリセス部の表面に露出したアンドープ GaAs 層 109 上に、絶縁膜をマスクとして選択再成長させた p 型不純物を高濃度に含有する C ドープ p⁺-GaAs 層 112 を有し、その C ドープ p⁺-GaAs 層 112 上にゲート電極 114 を有している。

【0044】

図 2 は、本実施形態に係る接合ゲート型電界効果トランジスタ 100 の製造方法をその工程順に示すフローチャートである。

【0045】

以下、図 2 を参照して、接合ゲート型電界効果トランジスタ 100 の製造方法を説明する。

【0046】

先ず、図 2 (a) に示すように、半絶縁性 GaAs 基板 101 上に、膜厚 500 nm のアンドープ AlGaAs バッファ層 102、 $3 \times 10^{18} \text{ cm}^{-3}$ の Si 不純物を添加した膜厚 4 nm の AlGaAs 電子供給層 103、膜厚 2 nm のアンドープ AlGaAs スペーサ層 104、膜厚 15 nm のアンドープ InGaAs チャンネル層 105、膜厚 2 nm のアンドープ AlGaAs スペーサ層 106、 $3 \times 10^{18} \text{ cm}^{-3}$ の Si 不純物を添加した膜厚 9 nm の AlGaAs 電子供給層 107、膜厚 7 nm のアンドープ AlGaAs 層 108、膜厚 5 nm のアンドー

プGaAs層109、 $4 \times 10^{18} \text{ cm}^{-3}$ のSi不純物を添加した膜厚5 nmのAlGaAsワイドリセスストッパ層110、 $4 \times 10^{18} \text{ cm}^{-3}$ のSi不純物を添加した膜厚100 nmのSiドープGaAsキャップ層111を、順次、積層させたウェハを作製する。これらの層は分子線成長法または有機金属気相成長法によりエピタキシャル成長させることにより形成する。

【0047】

次いで、SiドープGaAsキャップ層111上にワイドリセス部が開口したマスク117を形成する。

【0048】

次に、AlGaAsワイドリセスストッパ層110をストッパとして用いて、マスク117を介して、SiドープGaAsキャップ層111を選択的にエッチングし、図2(b)に示すようなワイドリセスを形成する。

【0049】

次いで、図2(c)に示すように、マスク117とAlGaAsワイドリセスストッパ層110とを除去した後、ウェハ全面にSiO₂ゲート酸化膜113を形成する。

【0050】

次いで、図2(c)に示すように、SiO₂ゲート酸化膜113の上に、ゲート部が開口したマスク118を形成する。

【0051】

次いで、図2(d)に示すように、マスク118を介して、ゲート開口部分のSiO₂ゲート酸化膜113をエッチング除去する。

【0052】

次いで、マスク118を除去した後、表面に露出したアンドープGaAs層109に対して、ゲート部が開口したSiO₂ゲート酸化膜113をマスクとして、図2(e)に示すように、有機金属気相成長法により、p型不純物であるC(炭素)を $1 \times 10^{20} \text{ cm}^{-3}$ 添加した膜厚80 nmのCドープp⁺-GaAs層112を選択エピタキシャル成長させる。

【0053】

次いで、図2 (f) に示すように、再成長させたCドープ p^+ -GaAs層112上に、WSiからなるゲート電極114を形成する。

【0054】

次いで、図2 (g) に示すように、AuGeを蒸着リフトオフ及び熱処理により合金化し、さらに、パターニングし、ソース電極115及びドレイン電極116を形成する。

【0055】

以上の工程を経て、図1に示した本実施形態に係る接合ゲート型電界効果トランジスタ100が得られる。

【0056】

本実施形態に係る接合ゲート型電界効果トランジスタ100においては、酸化物を形成しやすいAlGaAsストッパ層110を除去してから、アンドープGaAs層109上においてp型不純物を含有したCドープ p^+ -GaAs層112の選択再成長を行っているため、再成長界面における酸化物の形成を抑制することができた。その結果、ゲートリークが低減され、接合ゲート型電界効果トランジスタ100のゲート順方向立ち上がり電圧(VF)としては1.2Vと高い値が得られた。

【0057】

また、n型不純物を高濃度に含有するSiドープGaAsキャップ層111に対して、オーミック電極115、116を接触させているため、オーミック電極115、116とSiドープGaAsキャップ層111との間のコンタクト抵抗が低く、接合ゲート型電界効果トランジスタ100のオン抵抗は $2\Omega\text{mm}$ と低い値が得られた。

【0058】

(第二の実施形態)

図3は、本発明の第一の実施形態に係る接合ゲート型電界効果トランジスタ200の断面図である。

【0059】

本実施形態に係る接合ゲート型電界効果トランジスタ200は、半絶縁性Ga

As 基板 101 と、半絶縁性 GaAs 基板 101 上に形成されたアンドープ AlGaAs バッファ層 102 と、アンドープ AlGaAs バッファ層 102 上に形成された Si ドープ AlGaAs 電子供給層 103 と、Si ドープ AlGaAs 電子供給層 103 上に形成されたアンドープ AlGaAs スペース層 104 と、アンドープ AlGaAs スペース層 104 上に形成されたアンドープ InGaAs チャネル層 105 と、アンドープ InGaAs チャネル層 105 上に形成されたアンドープ AlGaAs スペース層 106 と、アンドープ AlGaAs スペース層 106 上に形成された Si ドープ AlGaAs 電子供給層 107 と、Si ドープ AlGaAs 電子供給層 107 上に形成されたアンドープ AlGaAs 層 108 と、アンドープ AlGaAs 層 108 上に形成されたアンドープ GaAs 層 109 と、アンドープ GaAs 層 109 上に形成されたアンドープ AlGaAs ゲートリセスストッパ層 201 と、アンドープ AlGaAs ゲートリセスストッパ層 201 上に形成されたアンドープ GaAs 層 202 と、アンドープ GaAs 層 202 上に部分的に形成された Si ドープ AlGaAs ワイドリセスストッパ層 110 と、Si ドープ AlGaAs ワイドリセスストッパ層 110 上に形成された Si ドープ GaAs キャップ層 111 と、アンドープ AlGaAs 層 201 と アンドープ GaAs 層 202 とに形成されたりセスに一部が埋め込まれ、Si ドープ AlGaAs ワイドリセスストッパ層 110 及び Si ドープ GaAs キャップ層 111 に形成されたりセス内において、アンドープ GaAs 層 109 上に形成された C ドープ p⁺-GaAs 層 112 と、C ドープ p⁺-GaAs 層 112 上に形成されたゲート電極 114 と、ゲート電極 114 の周囲に形成された二酸化シリコン (SiO₂) からなるゲート酸化膜 113 と、Si ドープ GaAs キャップ層 111 上に形成されたソース電極 115 及びドレイン電極 116 と、から構成されている。

【0060】

本実施形態に係る接合ゲート型電界効果トランジスタ 200 は、オーミック電極として構成されているソース電極 115 及びドレイン電極 116 が接触する半導体キャップ層 (Si ドープ GaAs キャップ層) 111 を有している。その半導体キャップ層 111 を部分的に除去することによりワイドリセス領域 119 が

形成されており、さらに、そのワイドリセス領域119の表面に露出しているアンドープGaAs層202と、アンドープAlGaAs層201とをエッチングすることにより、ゲートリセス凹部120が形成されている。このゲートリセス凹部120の底面に露出しているアンドープGaAs層109上に、ゲート酸化膜113をマスクとして選択再成長させたp型不純物を高濃度に含有するCドープp⁺-GaAs層112が形成されている。このCドープp⁺-GaAs層112上にゲート電極114が形成されている。

【0061】

図4は、本実施形態に係る接合ゲート型電界効果トランジスタ200の製造方法をその工程順に示すフローチャートである。

【0062】

以下、図4を参照して、接合ゲート型電界効果トランジスタ200の製造方法を説明する。

【0063】

まず、図4(a)に示すように、半絶縁性GaAs基板101上に、膜厚500nmのアンドープAlGaAsバッファ層102、 $3 \times 10^{18} \text{ cm}^{-3}$ のSi不純物を添加した膜厚4nmのAlGaAs電子供給層103、膜厚2nmのアンドープAlGaAsスペーサ層104、膜厚15nmのアンドープInGaAsチャネル層105、膜厚2nmのアンドープAlGaAsスペーサ層106、 $3 \times 10^{18} \text{ cm}^{-3}$ のSi不純物を添加した膜厚9nmのAlGaAs電子供給層107、膜厚7nmのアンドープAlGaAs層108、膜厚5nmのアンドープGaAs層109、膜厚5nmのアンドープAlGaAsゲートリセスストップ層201、膜厚15nmのアンドープGaAs層202、 $4 \times 10^{18} \text{ cm}^{-3}$ のSi不純物を添加した膜厚5nmのAlGaAsワイドリセスストップ層110、 $4 \times 10^{18} \text{ cm}^{-3}$ のSi不純物を添加した膜厚100nmのSiドープGaAsキャップ層111を、順次、積層させたウェハを作製する。これらの層は分子線成長法または有機金属気相成長法によりエピタキシャル成長させることにより形成する。

【0064】

次いで、SiドープGaAsキャップ層111上にワイドリセス領域119に対応する部分が開口したマスク117を形成する。

【0065】

次に、AlGaAsワイドリセスストッパ層110をストッパとして用いて、マスク117を介して、SiドープGaAsキャップ層111を選択的にエッチングし、図4(b)に示すようなワイドリセス領域119を形成する。

【0066】

次いで、図4(c)に示すように、マスク117とAlGaAsワイドリセスストッパ層110とを除去した後、ウェハ全面にSiO₂ゲート酸化膜113を形成する。

【0067】

次いで、図4(c)に示すように、SiO₂ゲート酸化膜113の上に、ゲートリセス凹部120に対応する部分が開口したマスク118を形成する。

【0068】

次いで、図4(d)に示すように、マスク118を介して、ゲートリセス凹部120に対応する部分のSiO₂ゲート酸化膜113をエッチング除去する。

【0069】

次いで、マスク118を除去した後、アンドープAlGaAsゲートリセスストッパ層201をストッパ層として用いて、SiO₂ゲート酸化膜113の開口部に露出しているアンドープGaAs層202及びアンドープAlGaAsゲートリセスストッパ層201を選択的にエッチングする。

【0070】

次いで、レジスト剥離処理及び水洗処理を行うことにより、AlGaAsワイドリセスストッパ層110を除去し、図4(e)に示すように、アンドープGaAs層109をゲートリセス凹部120の底面に露出させる。

【0071】

次いで、ゲートリセス凹部120の底面に露出したアンドープGaAs層109に対して、ゲートリセス凹部120に対応する部分が開口したSiO₂ゲート酸化膜113をマスクとして、図4(f)に示すように、有機金属気層成長法に

より、p型不純物であるC（炭素）を $1 \times 10^{20} \text{ cm}^{-3}$ 添加した膜厚80 nmのCドープp+-GaAs層112を選択エピタキシャル成長させる。

【0072】

次いで、図4（g）に示すように、再成長させたCドープp+-GaAs層112上に、WSiからなるゲート電極114を形成する。

【0073】

次いで、図4（h）に示すように、AuGeを蒸着リフトオフ及び熱処理により合金化し、さらに、パターニングし、ソース電極115及びドレイン電極116を形成する。

【0074】

以上の工程を経て、一部が半導体表面に埋め込まれたCドープp+-GaAs層112を有する、図3に示した本実施形態に係る接合ゲート型電界効果トランジスタ200が得られる。

【0075】

本実施形態に係る接合ゲート型電界効果トランジスタ200においては、酸化物を形成しやすいAlGaAsストップ層110を除去してから、アンドープGaAs層109上においてp型不純物を含有したCドープp+-GaAs層112の選択再成長を行っているため、再成長界面における酸化物の形成を抑制することができた。その結果、ゲートリークが低減され、接合ゲート型電界効果トランジスタ200のゲート順方向立ち上がり電圧（VF）としては1.2 Vと高い値が得られた。

【0076】

また、n型不純物を高濃度に含有するSiドープGaAsキャップ層111に対して、オーミック電極115、116を接触させているため、オーミック電極115、116とSiドープGaAsキャップ層111との間のコンタクト抵抗が低い。

【0077】

さらに、p型不純物を含有するCドープp+-GaAs層112をゲートリセス凹部120の中に部分的に埋め込んで選択再成長させているため、ワイドリセス

領域 119 のシート抵抗が低減された。

【0078】

これは、ゲート電極 114 の横のワイドリセス領域 119 における半導体層の表面とチャネル層との間の距離を大きく取ることができ、キャリアを枯渇させる原因となる表面空乏層の影響が低減されることにより、ゲート電極 114 の横のワイドリセス領域 119 のチャネル層内に蓄積されるキャリアの濃度が増加したためである。

【0079】

図 5 は、正のしきい値電圧を有するトランジスタ素子（しきい値電圧 = 0.3 V）において、C ドープ p^+-GaAs 層 112 のゲートリセス凹部 120 への埋め込み量を変えた場合のワイドリセス領域 119 におけるシートキャリア濃度の変化を示すグラフである。

【0080】

埋め込み量を 5 nm 以上とすることにより、チャネル内のシートキャリア濃度は $1 \times 10^{12} \text{ cm}^{-2}$ 以下となり、単位面積当たりのシート抵抗は 1000Ω 以下に低減される。

【0081】

例えば、埋め込み量を 20 nm とすることにより、C ドープ p^+-GaAs 層 112 をゲートリセス凹部 120 に埋め込まない場合と比較して、単位面積当たりのシート抵抗は 2600Ω から 450Ω に低減された。

【0082】

以上の結果、ソース電極 115 とドレイン電極 116 との間の抵抗であるオン抵抗は $3.5 \Omega \text{ mm}$ から $1.6 \Omega \text{ mm}$ まで低減されるとともに、相互コンダクタンス (g_m) は、 310 mS/mm から 470 mS/mm と大きく増加した。

【0083】

本実施形態に係る接合ゲート型電界効果トランジスタ 200 によれば、次のような効果を得ることができる。

【0084】

酸化物を形成しやすい $AlGaAs$ ストップ層 110 を除去してから、アンド

ープGaAs層109上においてp型不純物を含有したCドープp⁺-GaAs層112の選択再成長を行っているため、再成長界面における酸化物の形成を抑制することができた。その結果、ゲートリークが低減され、接合ゲート型電界効果トランジスタ200のゲート順方向立ち上がり電圧(V_F)としては高い値が得られた。

【0085】

また、n型不純物を高濃度に含有するSiドープGaAsキャップ層111に対して、オーミック電極115、116を接触させているため、オーミック電極115、116とSiドープGaAsキャップ層111との間のコンタクト抵抗を低減することができた。

【0086】

さらに、p型不純物を含有したCドープp⁺-GaAs層112をゲートリセス凹部120に埋め込んで再成長させるため、ゲート電極114の横のワイドリセス領域119における半導体表面とチャネル層との間の距離を大きくとることが可能になり、表面空乏層の影響を抑制し、チャネル層内のキャリア濃度を高めることができる。

【0087】

その結果として、接合ゲート型電界効果トランジスタ200のオン抵抗は低減された。

【0088】

また、相互コンダクタンス(g_m)も増加した。

【0089】

(第三の実施形態)

図1に示した第一の実施形態に係る接合ゲート型電界効果トランジスタ100においては、SiドープAlGaAsワイドリセスストッパ層110をストッパ層として用いたが、GaAsに対してエッチングストッパ層としてInGaP層を適用することも可能である。

【0090】

図6は、第三の実施形態に係る接合ゲート型電界効果トランジスタ300の断

面図である。

【0091】

本実施形態に係る接合ゲート型電界効果トランジスタ300は、第一の実施形態に係る接合ゲート型電界効果トランジスタ100におけるSiドープAlGaAsワイドリセスストッパ層110に代えて、SiドープInGaP層310を有している。SiドープAlGaAsワイドリセスストッパ層110に代えてSiドープInGaP層310を有している点を除いて、本実施形態に係る接合ゲート型電界効果トランジスタ300は第一の実施形態に係る接合ゲート型電界効果トランジスタ100と同一の構造を有している。

【0092】

本実施形態に係る接合ゲート型電界効果トランジスタ300によっても、同様に、オン抵抗を低く、かつ、ゲート順方向立ち上がり電圧(VF)を高くすることができる。

【0093】

具体的には、本実施形態に係る接合ゲート型電界効果トランジスタ300によって、2Ωmmのオン抵抗と1.2Vのゲート順方向立ち上がり電圧(VF)を得た。

【0094】

(第四の実施形態)

図7は、第四の実施形態に係る接合ゲート型電界効果トランジスタ400の断面図である。

【0095】

図6に示した第三の実施形態に係る接合ゲート型電界効果トランジスタ300においては、SiドープInGaP層310にはゲート電極114の周囲において、Cドープp+-GaAs層112よりもサイズが大きい幅広のワイドリセスが形成されているが、本実施形態に係る接合ゲート型電界効果トランジスタ400においては、SiドープInGaP層310にはCドープp+-GaAs層112と同一サイズのゲートリセスが形成されており、Cドープp+-GaAs層112はこのゲートリセスに埋め込まれるようにして形成されている。

【0096】

本実施形態に係る接合ゲート型電界効果トランジスタ400によっても、第三の実施形態に係る接合ゲート型電界効果トランジスタ300と同様に、オン抵抗を低く、かつ、ゲート順方向立ち上がり電圧(VF)を高くすることができる。

【0097】

このように、Cドープ p^+ -GaAs層112に形成するリセスのサイズにかかわらず、同様の効果を得ることができる。

【0098】

(第五の実施形態)

接合ゲート型電界効果トランジスタにおけるチャネル構造は図1及び図3に示した第一及び第二の実施形態におけるチャネル構造に限定されるものではなく、第一及び第二の実施形態におけるチャネル構造以外のチャネル構造を採用することも可能である。

【0099】

図8は、第五の実施形態に係る接合ゲート型電界効果トランジスタ500の断面図である。

【0100】

本実施形態に係る接合ゲート型電界効果トランジスタ500においては、図3に示した第二の実施形態に係る接合ゲート型電界効果トランジスタ200におけるSiドープAlGaAs電子供給層103、アンドープAlGaAsスペーサ層104、アンドープInGaAsチャネル層105、アンドープAlGaAsスペーサ層106、SiドープAlGaAs電子供給層107及びアンドープAlGaAs層108に代えて、SiドープGaAsチャネル層502及びSiドープAlGaAs層503を備えており、このSiドープAlGaAs層503/SiドープGaAsチャネル層502の構造上にCドープ p^+ -GaAs層112が形成されている。

【0101】

本実施形態に係る接合ゲート型電界効果トランジスタ500によっても、第二の実施形態に係る接合ゲート型電界効果トランジスタ200と同様の効果を得る

ことができる。

【0102】

(第六の実施形態)

図9は、第六の実施形態に係る接合ゲート型電界効果トランジスタ600の断面図である。

【0103】

図3に示した第二の実施形態に係る接合ゲート型電界効果トランジスタ200においては、Cドープ p^+ -GaAs層112を再成長させたが、本実施形態に係る接合ゲート型電界効果トランジスタ600においては、Cドープ p^+ -GaAs層112を再成長させる代わりに、Cドープ p^+ -AlGaAs612を再成長させている。Cドープ p^+ -GaAs層112に代えてCドープ p^+ -AlGaAs612を再成長させる点を除いて、本実施形態に係る接合ゲート型電界効果トランジスタ600は第二の実施形態に係る接合ゲート型電界効果トランジスタ200と同一の構造を有している。

【0104】

AlGaAsはGaAsよりもバンドギャップが約0.3 eV大きく、実効的なショットキー障壁は1.7 eVとなる。このため、本実施形態に係る接合ゲート型電界効果トランジスタ600においては、ゲート順方向立ち上がり電圧(V_F) = 1.5 Vと高い値が得られた。

【0105】

さらに、オーミック電極115、116のコンタクト部やSiドープGaAsキャップ層111のリセス部分の変更はないため、オン抵抗は1.6 Ω mmと低い。

【0106】

(第七の実施形態)

図10は、第七の実施形態に係る接合ゲート型電界効果トランジスタ700の断面図である。

【0107】

図3に示した第二の実施形態に係る接合ゲート型電界効果トランジスタ200

においては、Cドープ p^+ -GaAs層112を再成長させたが、本実施形態に係る接合ゲート型電界効果トランジスタ700においては、Cドープ p^+ -GaAs層112を再成長させる代わりに、Cドープ p^+ -InGaP層712を再成長させている。Cドープ p^+ -GaAs層112に代えてCドープ p^+ -InGaP層712を再成長させる点を除いて、本実施形態に係る接合ゲート型電界効果トランジスタ700は第二の実施形態に係る接合ゲート型電界効果トランジスタ200と同一の構造を有している。

【0108】

InGaPはGaAsよりもバンドギャップが大きく、従って、実効的なショットキー障壁も高い。このため、本実施形態に係る接合ゲート型電界効果トランジスタ700によれば、ゲート順方向立ち上がり電圧(V_F) = 1.5Vを高くすることができる。

【0109】

さらに、オーミック電極115、116のコンタクト部やSiドープGaAsキャップ層111のリセス部分の変更はないため、オン抵抗が上昇することはない。

【0110】

(第八の実施形態)

図11は、第八の実施形態に係る接合ゲート型電界効果トランジスタ800の断面図である。

【0111】

図3に示した第二の実施形態に係る接合ゲート型電界効果トランジスタ200においては、アンドープGaAs層109上にCドープ p^+ -GaAs層112を再成長させたが、本実施形態に係る接合ゲート型電界効果トランジスタ800においては、アンドープGaAs層109に代えて、SiドープGaAs層809上にCドープ p^+ -GaAs層112を再成長させている。アンドープGaAs層109に代えてSiドープGaAs層809を用いる点を除いて、本実施形態に係る接合ゲート型電界効果トランジスタ800は第二の実施形態に係る接合ゲート型電界効果トランジスタ200と同一の構造を有している。

【0112】

本実施形態に係る接合ゲート型電界効果トランジスタ800においては、GaAs層809にn型不純物であるSiを $5 \times 10^{17} \text{ cm}^{-3}$ 添加している。

【0113】

再成長させたCドープ p^+ -GaAs層112により実効的なショットキーは高められているため、ゲート順方向立ち上がり電圧(VF)は劣化することなく、ゲート順方向立ち上がり電圧(VF)=1.2Vを得た。

【0114】

また、GaAs層809にSiその他のn型不純物を添加することにより、オーミック電極115、116からチャネル層へのコンタクト抵抗が低減された。その結果、オン抵抗は $0.1 \Omega \text{ mm}$ 低下して、 $1.9 \Omega \text{ mm}$ を得た。

【0115】

このように、アンドープGaAs層109に代えて、n型不純物を含有させた半導体層を形成することによっても、第二の実施形態に係る接合ゲート型電界効果トランジスタ200と同一の、または、それ以上の効果を得ることができる。

【0116】

(第九の実施形態)

図12は、第九の実施形態に係る接合ゲート型電界効果トランジスタ900の断面図である。

【0117】

本実施形態に係る接合ゲート型電界効果トランジスタ900は、図3に示した第二の実施形態に係る接合ゲート型電界効果トランジスタ200におけるアンドープAlGaAs層201に代えて、SiドープAlGaAs層901を備えている。この点以外の構造は、第二の実施形態に係る接合ゲート型電界効果トランジスタ200と同様である。

【0118】

本実施形態に係る接合ゲート型電界効果トランジスタ900においては、ゲートリセスを形成する際のストッパ層として、n型不純物をドーピングしたSiドープAlGaAs層901を用いている。再成長させたCドープ p^+ -GaAs

層 112 により実効的なショットキーは高められているため、ゲート順方向立ち上がり電圧 (VF) は劣化することなく、ゲート順方向立ち上がり電圧 (VF) = 1.2 V を得た。

【0119】

また、AlGaAs 層 901 に n 型不純物を添加することにより、オーミック電極 115、116 からチャネル層へのコンタクト抵抗が低減された。その結果、オン抵抗は 0.1 Ω mm 低下して 1.9 Ω mm を得た。

【0120】

(第十の実施形態)

図 13 は、第十の実施形態に係る接合ゲート型電界効果トランジスタ 1000 の断面図である。

【0121】

本実施形態に係る接合ゲート型電界効果トランジスタ 1000 は、図 3 に示した第二の実施形態に係る接合ゲート型電界効果トランジスタ 200 における AlGaAs ワイドリセスストッパ層 110 及び Si ドープ GaAs キャップ層 111 に代えて、Si ドープ InGaP 層 1001、Si ドープ $\text{In}_x\text{Ga}_{(1-x)}\text{As}$ 層 1002 ($0 \leq x \leq 0.5$) 及び Si ドープ $\text{In}_{0.5}\text{Ga}_{0.5}\text{As}$ 層 1003 を備えている。この点以外の構造は、第二の実施形態に係る接合ゲート型電界効果トランジスタ 200 と同様である。

【0122】

第一乃至第九の実施形態においては、キャップ層 111 として Si ドープ GaAs 層を用いているが、Si ドープ GaAs 層に代えて、本実施形態のように、Si ドープ InGaAs 層を用いても、同様の効果を得ることができる。

【0123】

本実施形態においては、n 型不純物である Si を $2 \times 10^{19} \text{ cm}^{-3}$ 添加した InGaAs キャップ層 1002、1003 を用いている。

【0124】

InGaAs は GaAs に対して、格子整合しないため、In 組成を 0 から 0.5 まで変化させている。

【0125】

また、本実施形態においては、InGaAs、GaAsに対して選択エッチングストップとして機能し得るSiドープInGaP層1001をストップ層として用いている。

【0126】

InGaAsとオーミック電極115、116との間のコンタクト抵抗は小さいため、本実施形態に係る接合ゲート型電界効果トランジスタ1000のオン抵抗は第二の実施形態と比較して、 $0.1\Omega\text{mm}$ 低下して、 $1.5\Omega\text{mm}$ を得た。

【0127】

また、以上の実施例では、p型不純物としてCを用いているが、他のp型不純物、例えばMgやZnなどを用いても同様の効果がある。

【0128】

また、第一乃至第十の実施形態においては、p型不純物を含有した半導体層112を選択再成長するためのマスクとして、二酸化シリコン SiO_2 を用いているが、二酸化シリコン SiO_2 の代わりに、 SiN_x 絶縁膜や SiN_xO 絶縁膜を用いても選択再成長を実現でき、同様の効果がある。

【0129】

また、以上の第一乃至第十の実施形態においては、チャネル層にn型キャリアが蓄積し、再成長半導体層112はp型不純物を添加した構成としているが、それとは逆に、チャネル層にn型キャリアが蓄積し、再成長半導体層112にn型不純物を添加した構成を用いても同様の効果がある。

【0130】

【発明の効果】

以上のように、本発明によれば、酸化物を形成しやすいストップ層を除去してから、キャップ層に形成されたりセスの表面に露出した半導体層上に、第2の導電型の不純物を含有する半導体層の選択再成長を行っている。このため、再成長界面における酸化物の形成を抑制することができる。この結果、ゲートリークが低減され、ゲート順方向立ち上がり電圧(VF)を高くすることができる。

【0131】

また、第1導電型の不純物を含有するキャップ層に対して、オーミック電極を接触させているため、オーミック電極とキャップ層との間のコンタクト抵抗が低くなり、オン抵抗を低くすることができる。

【図面の簡単な説明】

【図1】

本発明の第一の実施形態に係る接合ゲート型電界効果トランジスタの断面図である。

【図2】

第一の実施形態に係る接合ゲート型電界効果トランジスタの製造方法をその工程順に示すフローチャートである。

【図3】

本発明の第二の実施形態に係る接合ゲート型電界効果トランジスタの断面図である。

【図4】

第二の実施形態に係る接合ゲート型電界効果トランジスタの製造方法をその工程順に示すフローチャートである。

【図5】

半導体層の埋め込み量に対するシートキャリア濃度及びリセス部シート抵抗の変化を示すグラフである。

【図6】

本発明の第三の実施形態に係る接合ゲート型電界効果トランジスタの断面図である。

【図7】

本発明の第四の実施形態に係る接合ゲート型電界効果トランジスタの断面図である。

【図8】

本発明の第五の実施形態に係る接合ゲート型電界効果トランジスタの断面図である。

【図9】

本発明の第六の実施形態に係る接合ゲート型電界効果トランジスタの断面図である。

【図 10】

本発明の第七の実施形態に係る接合ゲート型電界効果トランジスタの断面図である。

【図 11】

本発明の第八の実施形態に係る接合ゲート型電界効果トランジスタの断面図である。

【図 12】

本発明の第九の実施形態に係る接合ゲート型電界効果トランジスタの断面図である。

【図 13】

本発明の第十の実施形態に係る接合ゲート型電界効果トランジスタの断面図である。

【図 14】

従来の接合ゲート型電界効果トランジスタの一例の断面図である。

【図 15】

従来の接合ゲート型電界効果トランジスタの一例の断面図である。

【図 16】

従来の接合ゲート型電界効果トランジスタの一例の断面図である。

【符号の説明】

- 100 第一の実施形態に係る接合ゲート型電界効果トランジスタ
- 101 半絶縁性GaAs基板
- 102 アンドープAlGaAsバッファ層
- 103 SiドープAlGaAs電子供給層
- 104 アンドープAlGaAsスペーサ層
- 105 アンドープInGaAsチャネル層
- 106 アンドープAlGaAsスペーサ層
- 107 SiドープAlGaAs電子供給層



- 108 アンダープ AlGaAs 層
- 109 アンダープ GaAs 層
- 110 Si nderp AlGaAs ワイドリセスストッパ層
- 111 Si nderp GaAs キャップ層
- 112 C nderp p⁺-GaAs 層
- 113 ゲート酸化膜
- 114 ゲート電極
- 115 ソース電極
- 116 ドレイン電極
- 200 第二の実施形態に係る接合ゲート型電界効果トランジスタ
- 201 アンダープ AlGaAs 層
- 202 アンダープ GaAs 層
- 119 ワイドリセス領域
- 120 ゲートリセス凹部
- 300 第三の実施形態に係る接合ゲート型電界効果トランジスタ
- 310 Si nderp InGaP 層
- 400 第四の実施形態に係る接合ゲート型電界効果トランジスタ
- 500 第五の実施形態に係る接合ゲート型電界効果トランジスタ
- 502 Si nderp GaAs チャネル層
- 503 Si nderp AlGaAs 層
- 600 第六の実施形態に係る接合ゲート型電界効果トランジスタ
- 612 C nderp p⁺-AlGaAs
- 700 第七の実施形態に係る接合ゲート型電界効果トランジスタ
- 712 C nderp p⁺-InGaP 層
- 800 第八の実施形態に係る接合ゲート型電界効果トランジスタ
- 809 Si nderp GaAs 層
- 900 第九の実施形態に係る接合ゲート型電界効果トランジスタ
- 901 Si nderp AlGaAs 層
- 1000 第十の実施形態に係る接合ゲート型電界効果トランジスタ

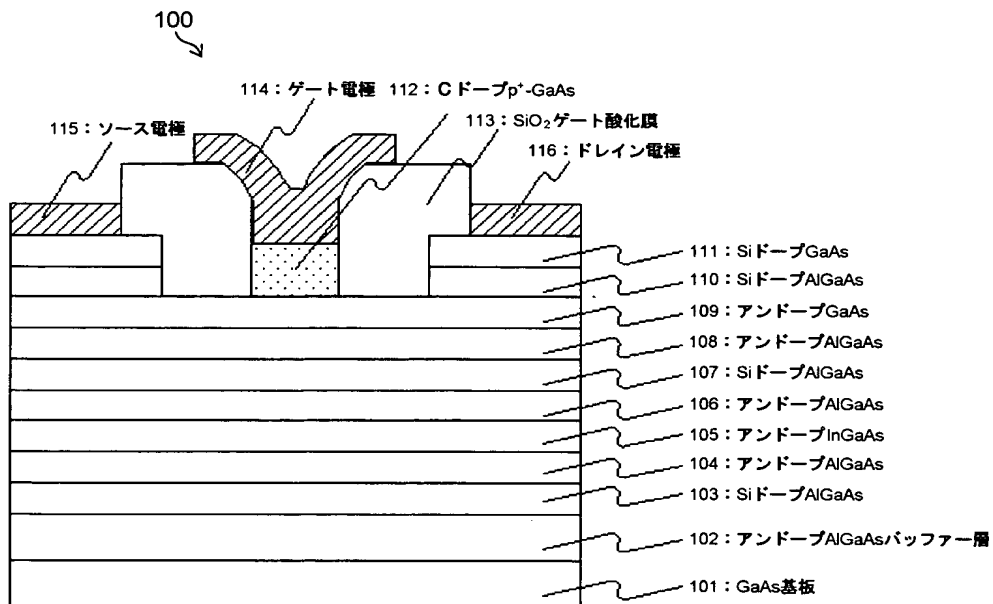
1001 Si ドープ InGaP 層

1002 Si ドープ In_xGa_(1-x)As 層

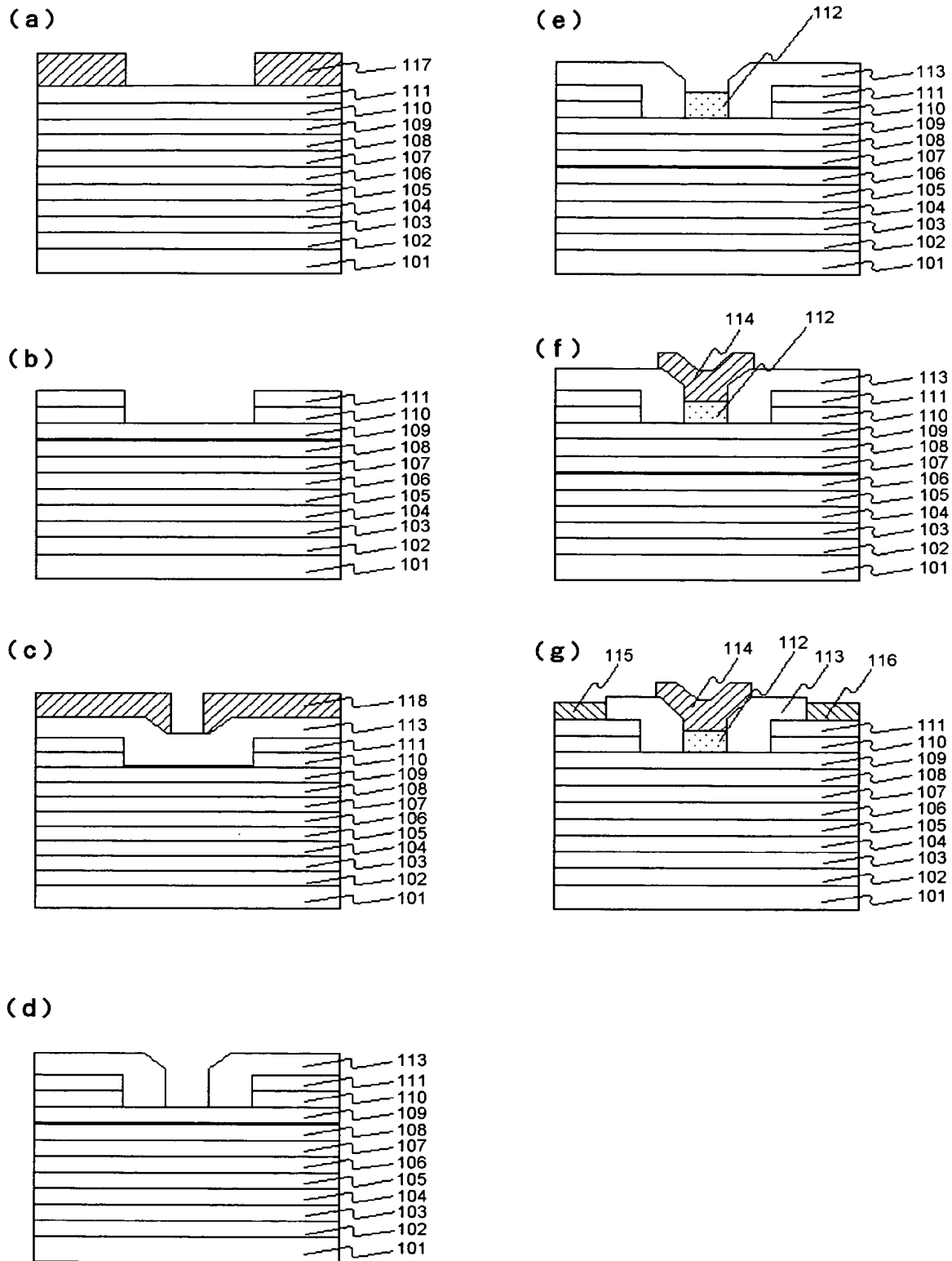
1003 Si ドープ In_{0.5}Ga_{0.5}As 層

【書類名】 図面

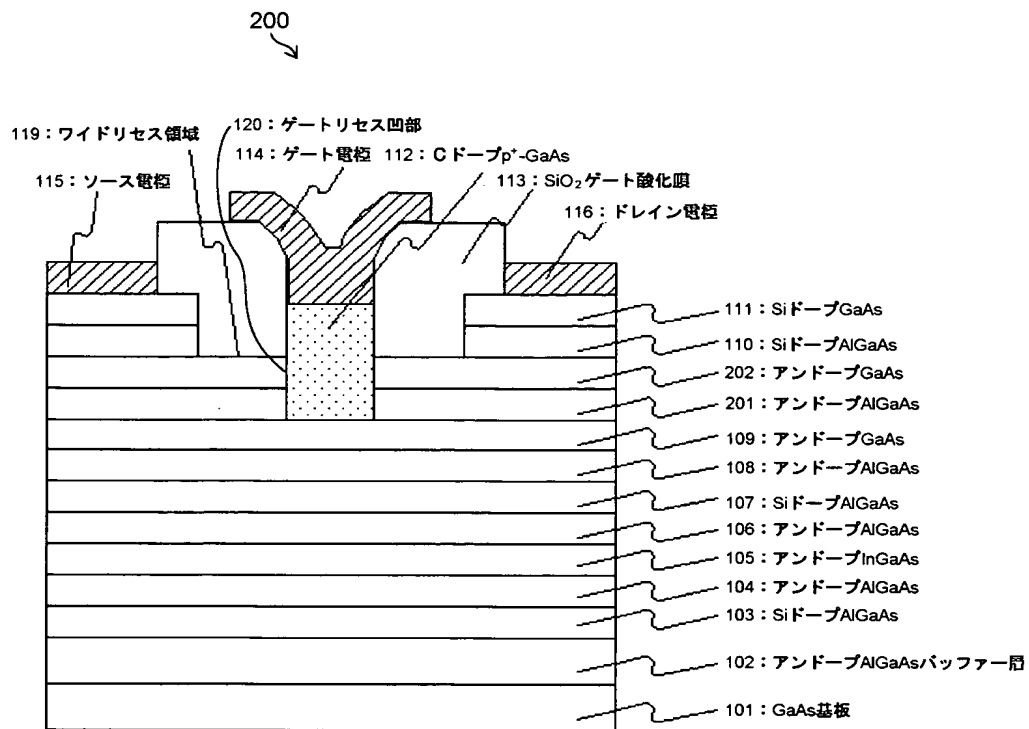
【図 1】



【図 2】

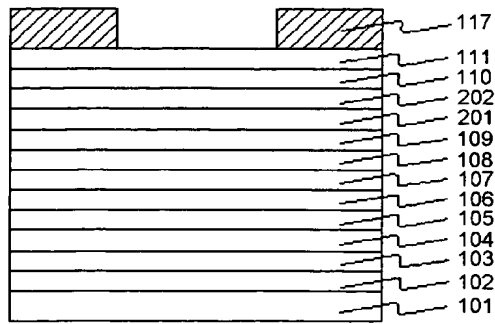


【図 3】

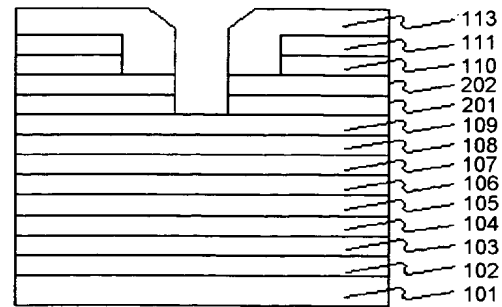


【図 4】

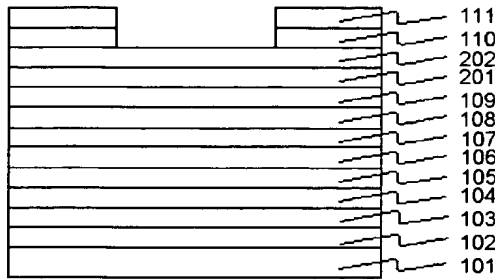
(a)



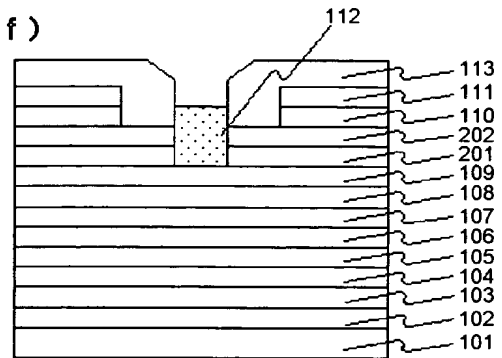
(e)



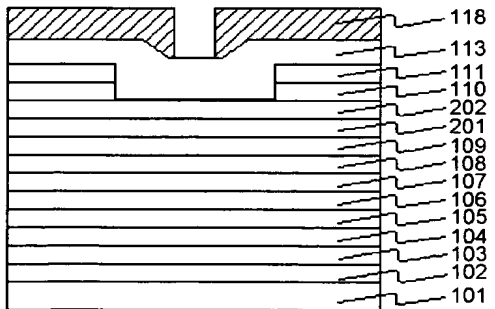
(b)



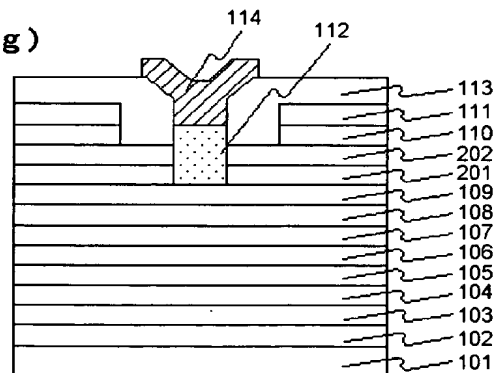
(f)



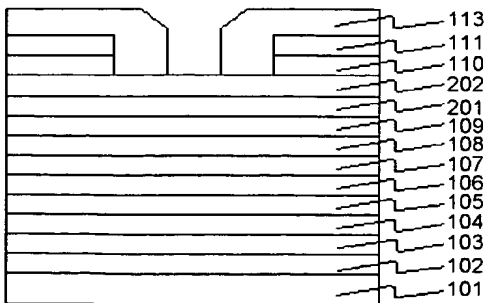
(c)



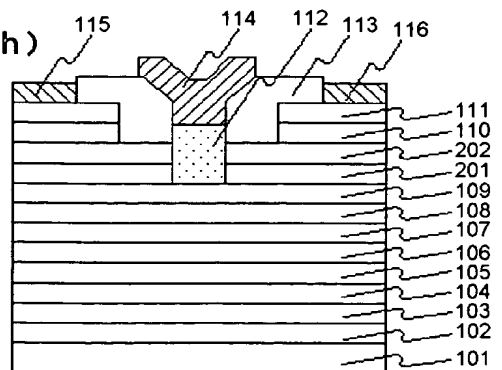
(g)



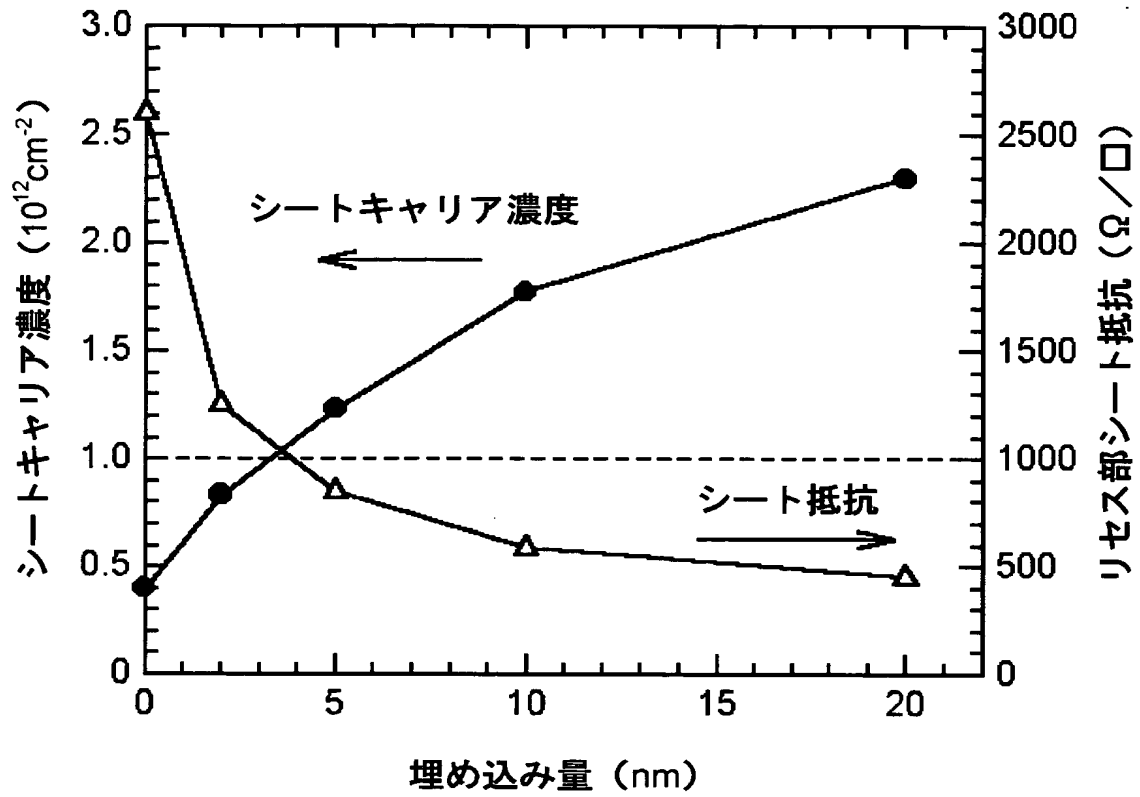
(d)



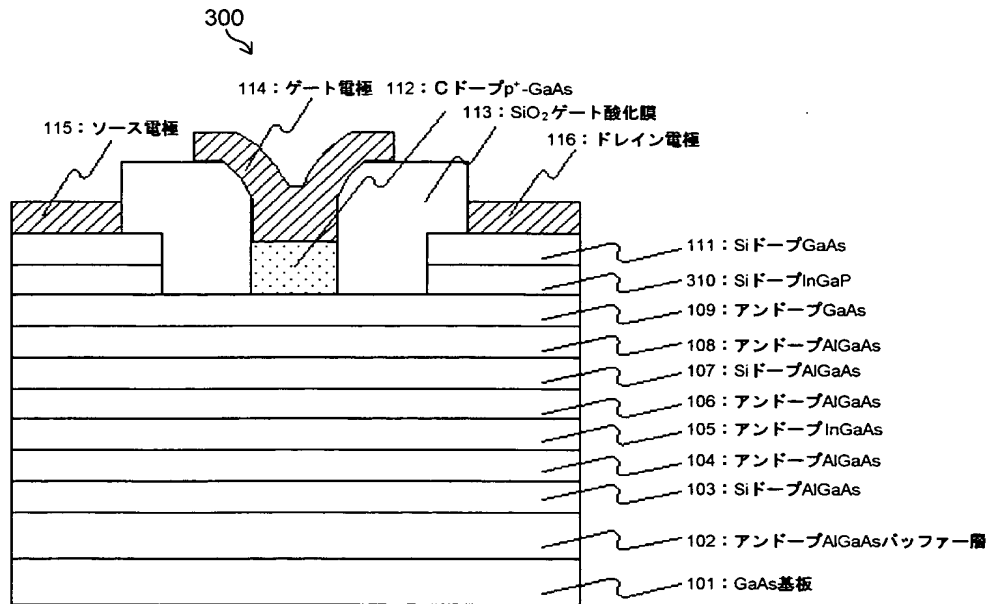
(h)



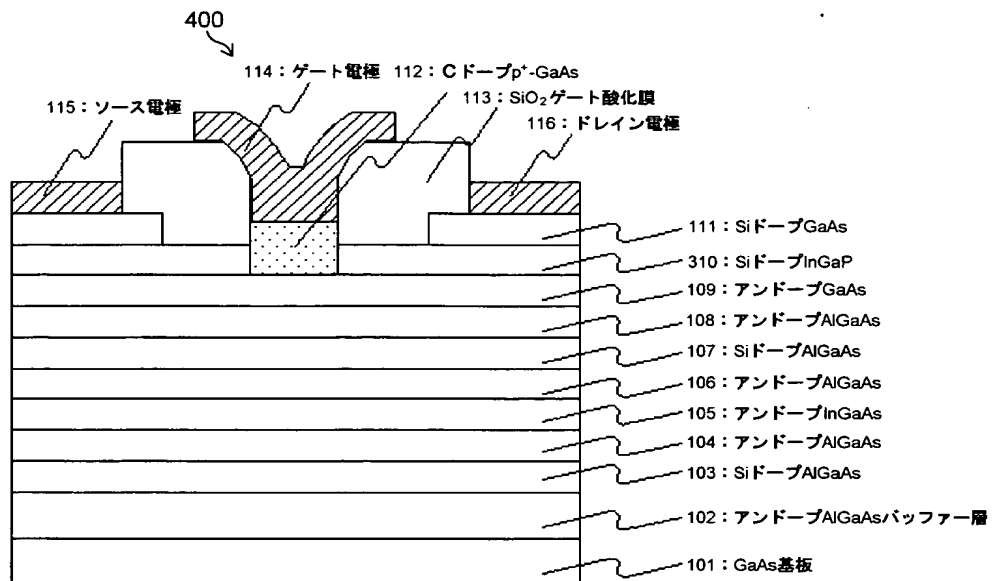
【図5】



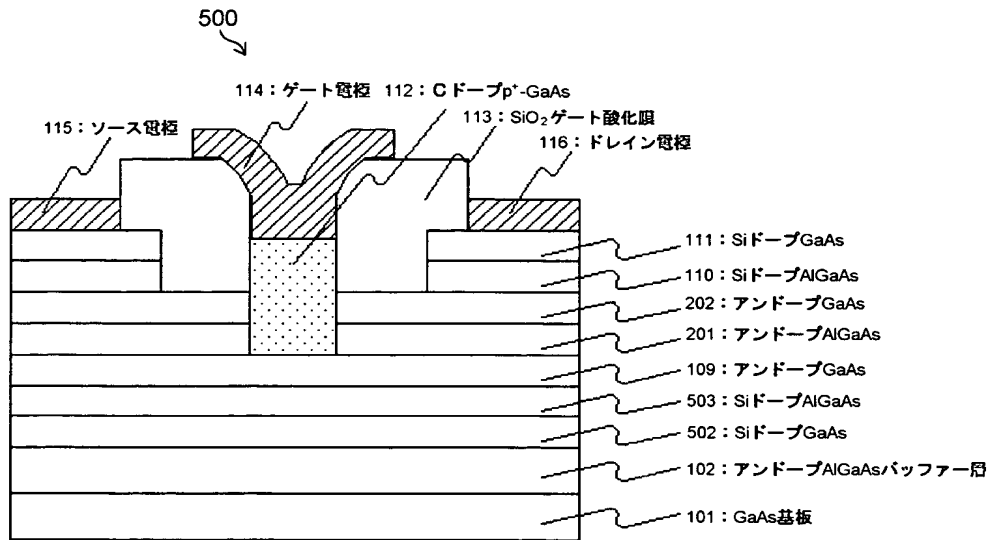
【図 6】



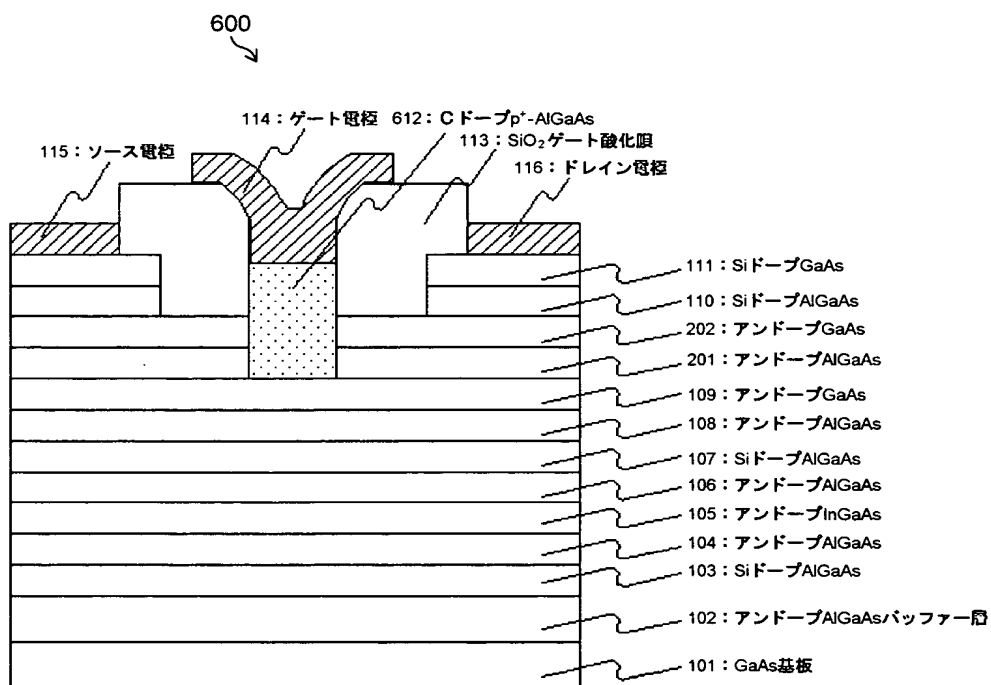
【図 7】



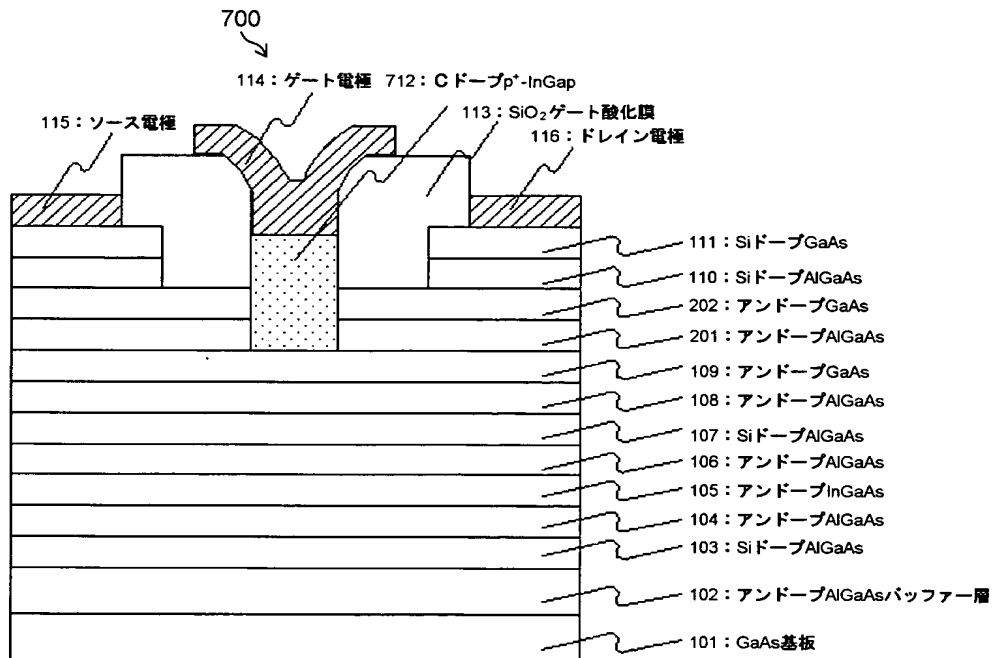
【図 8】



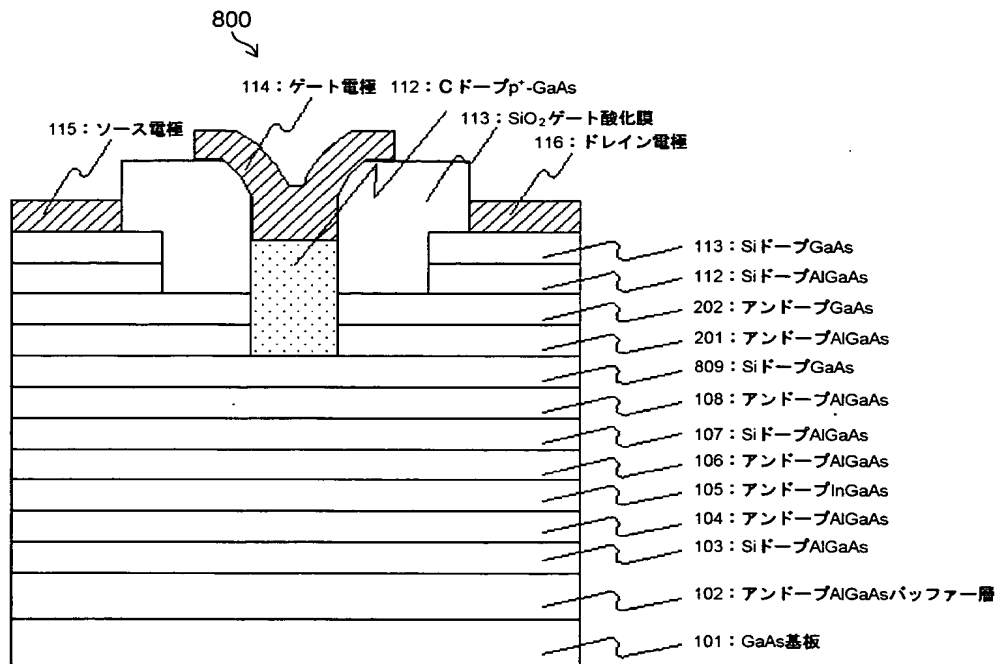
【図 9】



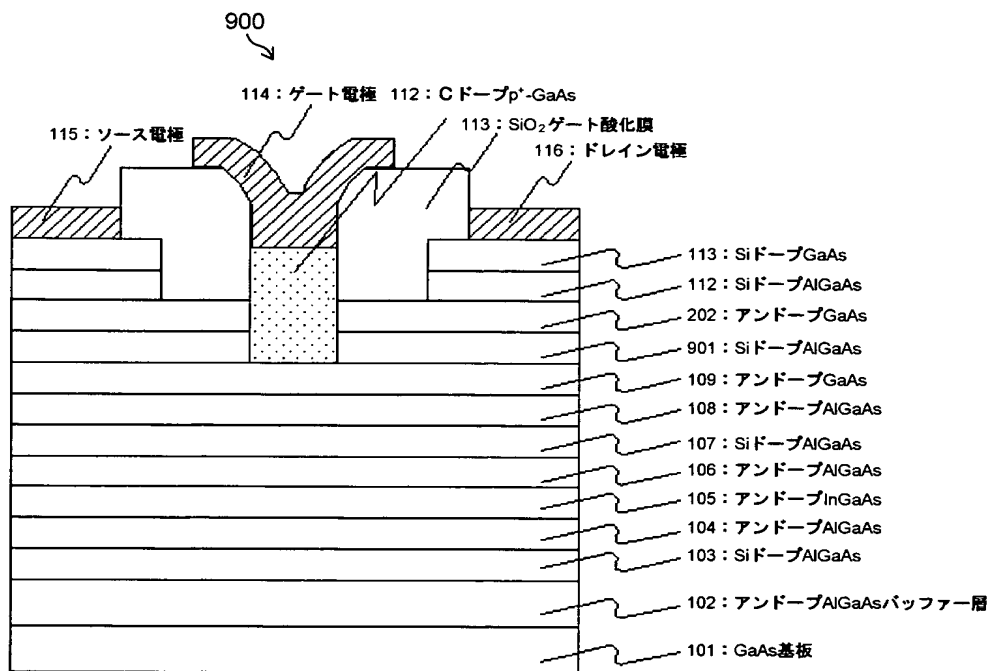
【図10】



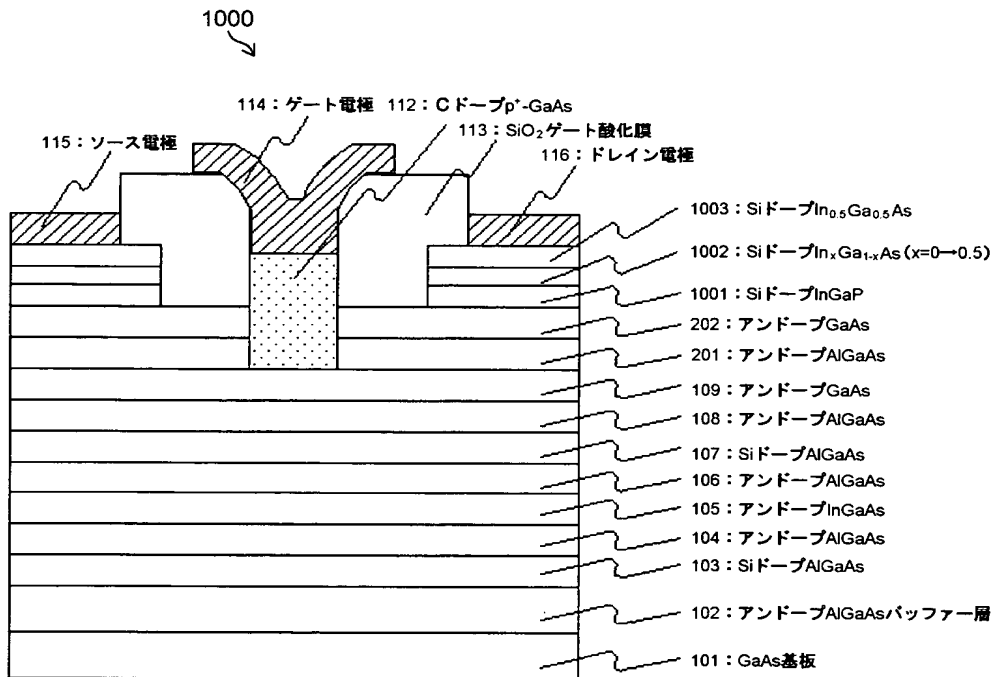
【図 11】



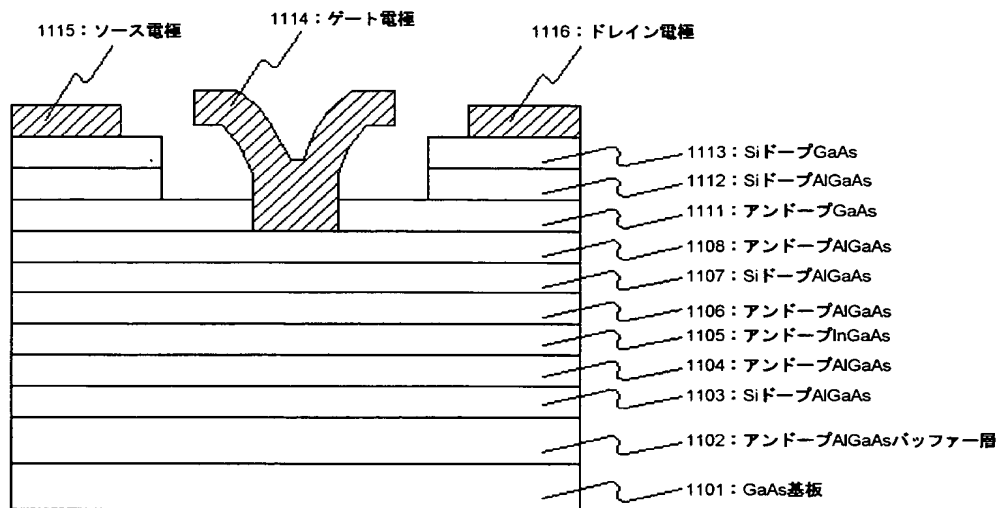
【図 12】



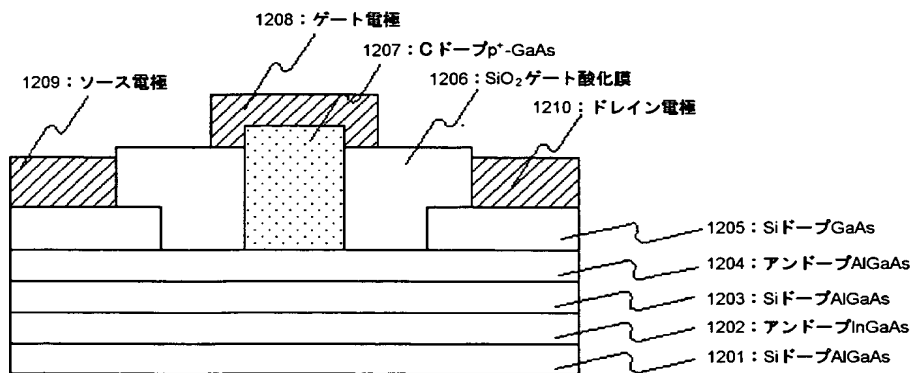
【図 13】



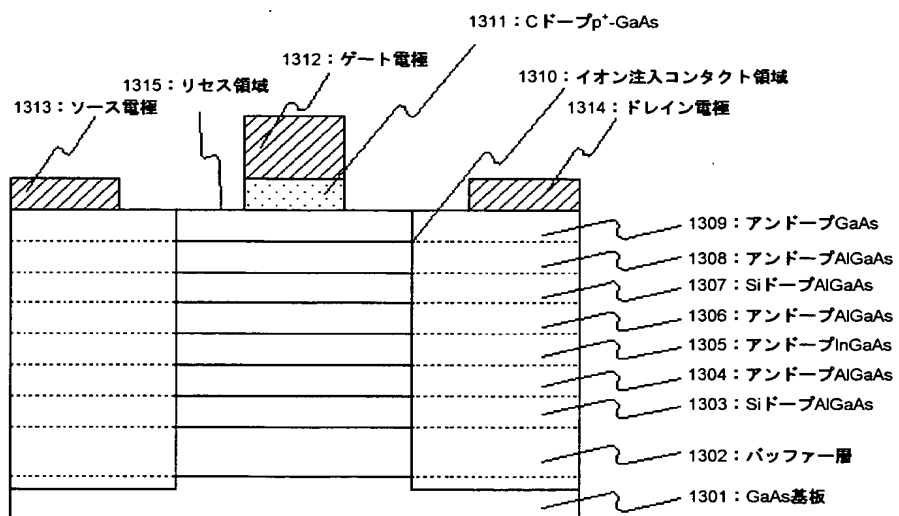
【図14】



【図 15】



【図16】



【書類名】 要約書

【要約】

【課題】 接合ゲート型電界効果トランジスタにおいてゲート順方向立ち上がり電圧を高く、かつ、オン抵抗を低くする。

【解決手段】 キャップ層 1 1 1 に形成されたりセスの表面に露出した半導体層 1 0 9 上において、再成長により再成長半導体層 1 1 2 を形成する。チャネル層 1 0 7 は第1の導電型の不純物を含有し、再成長半導体層 1 1 2 は第2の導電型の不純物を含有している。

【選択図】 図 1

特願 2 0 0 2 - 3 4 2 6 9 1

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 0 0 3 4 6]

1. 変更年月日

2 0 0 1 年 1 2 月 2 5 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3

氏 名

エヌイーシー化合物デバイス株式会社

2. 変更年月日

2 0 0 2 年 1 2 月 2 5 日

[変更理由]

名称変更

住 所

神奈川県川崎市中原区下沼部 1 7 5 3

氏 名

N E C 化合物デバイス株式会社